

KPA XML 문서

페이지 1 / 1



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020000060693 A  
 (43) Date of publication of application: 16.10.2000

(21) Application number: 1019990009232

(71) Applicant:

HYUNDAI MICRO ELECTRONICS CO., LTD.

(22) Date of filing: 18.03.1999

(72) Inventor:

MIN, EUNG HWAN

(51) Int. Cl

H01L 21/334

## (54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

## (57) Abstract:

PURPOSE: A semiconductor device is provided to improve a device characteristic by burying a gate electrode in the surface of a semiconductor substrate.

CONSTITUTION: A semiconductor device comprises an isolation layer, a gate first trench and a gate second trench, a gate oxidation layer, a gate electrode(34) and a source/drain region. The isolation layer is buried in an isolation region of a semiconductor substrate to isolate active regions.

The gate first trench is formed in the surface of the active region isolated by the isolation layer, of which a section is a square type. The gate second trench is formed near the gate first trench, of which a section is a circle type. The gate oxidation layer is formed on the surface of the gate first and second trenches. The gate electrode is buried in the gate first and second trenches having the gate oxidation layer. The source/drain region is insulated from the gate electrode by the gate oxidation layer and is formed in the surface of the semiconductor substrate on both sides of the gate electrode.

COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (20001020)

Patent registration number (1002824520000)

Date of registration (20001128)

【공개특허 제2000-60693호(2000.10.16) 1부.】

특 2000-0060693

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup>	(11) 공개번호	특2000-0060693
HD1L 21/384	(43) 공개일자	2000년10월16일
(21) 출원번호	10-1999-0009232	
(22) 출원일자	1999년03월18일	
(71) 출원인	현대반도체 주식회사 김영환 충청북도 청주시 봉덕구 학정동 1번지 민용환	
(72) 발명자	경기도의정부시신곡동동마아파트101-906 강용복, 김용민	
(74) 대리인		
실사검구 : 있음		
(54) 반도체 소자 및 그의 제조 방법		

## 요약

본 발명은 게이트 전극을 기판 표면내에 배열 형성하여 소자 특성을 개선하는데 적합하도록 한 반도체 소자 및 그의 제조 방법에 관한 것으로, 그 구조는 반도체 기판의 소자 격리 영역에 배열 형성되어 액티브 영역들을 격리하는 소자 격리층; 상기 소자 격리층에 의해 격리되는 액티브 영역의 표면내에 그 단면이 사각 형태로 구성되는 게이트 제 1 트렌치, 게이트 제 1 트렌치에 연속되어 그 단면이 타원 형태로 구성되는 게이트 제 2 트렌치; 상기 게이트 제 1, 2 트렌치의 표면에 형성되는 게이트 전극; 상기 게이트 전극과 형성된 게이트 제 1, 2 트렌치내에 배열 형성되는 게이트 산화막; 상기 게이트 전극과 산화막에 의해 게이트 전극과 결연되어 게이트 전극의 양쪽 반도체 기판 표면내에 형성되는 소오스/드레인 영역을 포함하여 구성된다.

## 내포도

## 도면

## 색인어

게이트 전극

## 발명자

## 도면의 간접적 설명

도 1a내지 도 1b는 종래 기술의 반도체 소자의 제조 방법을 나타낸 공정 단면도  
도 2a내지 도 2b는 본 발명에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도  
도면의 주요부분에 대한 부호의 설명

- |                    |                 |
|--------------------|-----------------|
| 21. 반도체 기판         | 22. 패드 산화막      |
| 23. 제 1 나이트라이드층    | 24. 포토레지스트층     |
| 25. 트렌치            | 26. 접연 틀집층      |
| 27. 소자 격리층         | 28. 배퍼 산화막      |
| 29. 제 2 나이트라이드층    | 30. 게이트 제 1 트렌치 |
| 31. 게이트 제 1 트렌치 측벽 | 32. 게이트 제 2 트렌치 |
| 33. 게이트 산화막        | 34. 게이트 전극      |
| 35. 접연층            | 36. 저농도 불순물 영역  |
| 37. 고농도 불순물 영역     |                 |

## 발명의 상세한 설명

## 발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

粤2000-0060693

본 발명은 반도체 소자에 관한 것으로, 특히 게이트 전극을 기판 표면내에 매립 형성하여 소자 특성을 개선하는데 적당하도록 한 반도체 소자 및 그의 제조 방법에 관한 것이다.

도 1a내지 도 1b는 종래 기술의 반도체 소자의 제조 방법을 나타낸 광범 단면도이다.  
먼저, 도 1a에서와 같이, 반도체 기판(1)의 전면에 퍼드 산화막(2), 나이트라마이드층(3)을 차례로 형성한다.

그리고 상기 나이트라이드층(3)상에 포토레지스트(4)를 도포한다.  
이어, 도 1b에서와 같이, 나이트라이드층(3)상에 형성된 포토레지스트(4)층을 선택적으로 선택적으로 패터닝하여 액티브 영역상에만 남도록 한다.

그리고 노출제(1)에서 와일드카드(2)를 선택적으로 사용하여 페터닝 마스크를 형성한다.  
나마트리아이드층(3), 패드 산화막(2)을 선택적으로 사용한다.

그리고 두 1d에서 서와 같이, 상기 트렌치(5)를 포함하는 전면에 절연 흘끔총(6)을 형성한다.

그리고 노출에 사과 흔적이, 흥기 같은 물질을 제거하는 Polishing(파리팅) 공정으로 평탄화하여 소자 격리를 (?)를 형성한다.

소자 격리층(7)은 반도체 기판(1)의 상부면과 동일높이로 형성된다.

그리고 두 (1)에서와 같이, 상기 소자 속 헤드(2)에 영광을 더한 조립식 헤드(3)를 증착한다.

미어, 상기 풀리 실리콘(9)상에 고용점, 금속층 예를 들면, 텁스텐 등의 금속을 충적하고 실리사이드화, 광정을 진행하여 텁스텐 실리사이드층(10)을 형성한다.

그리고 상기 텁스텐 실리사이드층(10)상에 HLD(High Temperature Low Pressure Deposition)층(11), 꼴트라이드층(12)을 차례로 증착한다.

그리고 그 1년에 남아 있는 9개월 전면 협약에 충족하는지를 확인해보면... 징후를 중지하고 며칠씩 하며 게이트 전국(13)을 형성하고 소오스/드레이인을 형성하기 위한 저宋도 불순물을 주입한다.

마지막으로, 상기 게이트 층면에만 날도록하여 게이트 층면(15)을 형성한다.

을 형성하기 위한 고농도 불순물을 주입하여 소오스/드레이인 영역(15)을 형성한다. 이와 같은 공정으로 형성된 증류 기술의 반도체 소자는 그 차별화되는 기계적 하자에 평면적으로 구성을 한다.

어 소자의 고집적화에 따른 전복 혁신에 있어 그 새롭고 혁신적인 시도를 할 수 없다.

제작자: 김수연 감독: 김수연

이와 같은 총래 기술의 반도체 조사는 다음과 같은 문제를 썼다.

소자의 채널 영역이 게이트 전극 하단에 평면적으로 구성을 되어 조사의 고집속화에 따라 기어드 진폭이 확장되면서 그에 따라 채널 영역 역시 축소되어 웃 채널 효과와 일정 차이로 무현상 등에 의한 영향을 많이 받아 소자의 특성이 저하되는 것이다.

또한, 게이트웨이의 확보는 조직의 비밀화를 후퇴되는 바트너는 더욱 강화에 기여하는 역할을 한다.

본 장을 통하여 우리는 흥미 기관과 단위로서 그 특성을 개선하는데 적당하도록 한 반도체 소자 및 그의 제조 방법을 제시하는데 그 목적이 있다.

## 설명의 구성을 찾는 쪽

게이트 전극을 기판 표면내에 패밀 형성하여 소자 특성을 개선하는데 적당하노라. 본 발명에 따른 만도체 소자는 반도체 기판의 소자 격리에 매립 형성되어 액티브 영역들을 격리하는 소자 격리층; 상기 소자 격리층에 의해 격리되도록 액티브 영역의 표면내에 그 단면이 사각 형태로 구성되는 게이트 제 1 트렌치, 소자 격리층에 의해 격리되도록 액티브 영역의 표면내에 그 단면이 타원 형태로 구성되는 게이트 제 2 트렌치; 상기 게이트 제 1 트렌치에 연속되어 그 단면이 타원 형태로 구성되는 게이트 제 2 트렌치; 상기 게이트 제 1, 2 트렌치의 표면에 형성되는 게이트 산화막; 상기 게이트 산화막에 형성되는 게이트 제 1, 2 트렌치내에 매립 형성되는 게이트 전극; 게이트 산화막에 의해 게이트 전극과 격리되어 게이트 전극의 양쪽에 매립 형성되는 게이트 전극; 게이트 전극과 격리되어 게이트 전극과 격리되어 게이트 전극의 양쪽에 매립 형성되는 소오스/드레인 영역을 포함하여 구성되는 것을 특징으로 하고, 본 발명에 따른 만도체 소자의 제조 방법은 반도체 기판의 소자 격리 영역에 소자 격리층을 형성하여 액티브 영역을 형성하고 선정의하는 후 소자 격리층이 형성된 반도체 기판의 전면에 버퍼 산화막, 나미트리아이드 층을 형성하고 선정의하는 후 소자 격리층은 공정; 상기 패터닝된 나미트리아이드 층을 마스크로 노출된 반도체 기판을 열정과 깊이 적절적으로 식각하는 공정; 상기 패터닝된 나미트리아이드 층을 마스크로 노출된 반도체 기판을 식각하여 게이트 제 1 트렌치를 형성하는 공정; 상기 게이트 제 1 트렌치의 축면에 게이트 제 1 트렌치 쪽 백을 형성하고 노출된 반도체 기판을 식각하여 게이트 제 2 트렌치를 형성하는 공정; 상기 게이트 제

특 2000-0080693

1.2 트렌치의 표면에 게이트 산화막을 형성하고 게이트 제 1,2 트렌치를 완전 빼립하도록 게이트 형성을  
결정을 증착하고 평탄화하여 게이트 전극을 형성하는 공정; 전면에 결연층을 형성하고 게이트 전극의 양  
측 반도체 기판의 표면내에 저농도 불순물을 영역을 제 1 깊이로 형성하고, 다시 고농도 불순물을 주입하며  
제 2 깊이로 고농도 불순물을 영역을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

이하, 협부된 도면을 참고하여 본 발명에 따른 반도체 소자 및 그의 제조 방법에 관하여 상세히 설명하면  
다음과 같다.

도 2a에서 도 2i는 본 발명에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도이다.

본 발명은 반도체 소자는 STI(Shallow Trench Isolation)공정으로 소자 격리층을 형성하고, 액티브 영역  
를 습식적으로 쟁각하여 트렌치를 형성하고 트렌치를 매립하여 게이트 전극을 형성하여 체널 영역을 넓히  
는 것에 관한 것이다.

그 구조는 먼저, 반도체 기판(21)과, 반도체 기판(21)의 소자 격리 영역에 매립 형성되어 액티브 영역을  
격리하는 소자 격리층(27)과, 살기 소자 격리층(27)에 의해 격리되는 액티브 영역의 표면내에 그 단면  
이 사각 형태로 구성되는 게이트 제 1 트렌치(30), 게이트 제 1 트렌치(30)에 접하여 그 단면이 탄원 형태  
로 구성되는 게이트 제 2 트렌치(32)와, 살기 게이트 제 1,2 트렌치(30)(32)의 표면에 형성되는 게이트  
산화막(33)과, 살기 게이트 산화막이 형성된 게이트 제 1,2 트렌치(30)(32)내에 매립 형성되는 게이트 전  
극(34)과, 게이트 산화막(33)에 의해 게이트 전극(34)과 결연되어 게이트 전극(34) 양쪽 반도체 기판(21)  
표면내에 형성되는 소오스/드레인 영역(36)(37)을 포함하여 구성된다.

이때, 소오스/드레인 영역(36)(37)은 게이트 전극(34)의 하부층에 오버랩된다.

그리고 게이트 제 1 트렌치(30)는 반도체 기판(21) 표면부터 일정 깊이로 형성되고 게이트 제 2  
트렌치(32)는 게이트 제 1 트렌치(30)의 하단부에 연속되어 그보다 더 깊게 형성된다.

그리고 게이트 제 2 트렌치(32)는 게이트 제 1 트렌치(30) 보다 너비가 더 크게 형성된다. 미는 소자의  
체널 영역을 효율적으로 증대시키기 위한 것이다.

이와 같은 구조를 갖는 본 발명에 따른 반도체 소자의 제조 공정은 다음과 같다.

먼저, 도 2a에서와 같이, 반도체 기판(21)의 전면에 패드 산화막(22), 나이트라이드층(23)을 차례로 형성  
한다.

그리고 상기 나이트라이드층(23)상에 포토레지스트(24)를 도포한다.

이어, 도 2b에서와 같이, 나이트라이드층(23)상에 형성된 포토레지스트(24)층을 선택적으로 선택적으로  
페터닝하여 액티브 영역상에만 남도록 한다.

그리고 도 2c에서와 같이, 상기 페터닝되어진 포토레지스트층(24a)을 마스크로하여 노출된 나이트라이드  
층(23), 패드 산화막(22)을 선택적으로 쟁각한다.

이어, 상기 포토레지스트층(24a)을 제거하고 페터닝된 나이트라이드층(23a), 패드 산화막(22a)을 마  
스크로하여 노출된 반도체 기판(21)의 소자 격리 영역을 쟁각하여 트렌치(25)를 형성한다.

그리고 도 2d에서와 같이, 상기 트렌치(25)를 포함하는 전면에 물질층(26)을 형성한다.

이어, 도 2e에서와 같이, 상기 물질층(26)을 트렌치(25) 상부 높이까지 CMP(Chemical Mechanical  
Polishing)공정으로 평탄화하여 소자 격리층(27)을 형성한다.

소자 격리층(27)은 반도체 기판(21)의 상부면과 동일높이로 형성된다.

그리고 도 2f에서와 같이, 소자 격리층(27)이 형성된 반도체 기판(21)의 전면에 버퍼 산화막(28)을 형성  
한다.

이어, 버퍼 산화막(28)상에 제 2 나이트라이드층(29)을 형성하고 도 2g에서와 같이, 별도의 마스크 제작  
없이 F6 마스크를 그대로 사용하여 상기 제 2 나이트라이드층(29), 버퍼 산화막(28)을 선택적으로 제거한  
다.

그리고 상기 페터닝된 제 2 나이트라이드층(29)을 마스크로하여 노출된 반도체 기판(21)을 건식 쟁각 공  
정으로 일정 깊이 쟁각하여 게이트 제 1 트렌치(30)를 형성한다.

이어, 게이트 제 1 트렌치(30)의 축면에 게이트 제 1 트렌치 축벽(31)을 형성한다.

여기서, 축벽 형성 물질은 산화막을 사용한다.

그리고 도 2h에서와 같이, 노출된 반도체 기판(21)을 습식 쟁각 공정으로 쟁각하여 게이트 제 2  
트렌치(32)를 형성한다.

이어, 노출된 게이트 제 2 트렌치(32)의 표면에 열산화 공정으로 게이트 산화막(33)을 형성한다.

게이트 산화막(33)을 형성한 후에 소자의 문턱 전압을 조절하기 위한 이온 주입을 실시한다.

그리고 도 2i에서와 같이, CVD(Chemical Vapour Deposition) 공정으로 게이트 제 1,2 트렌치(30)(32)를  
완전 빼립하도록 게이트 형성 물질층 예를 들면, 폴리실리콘층을 증착하고 평탄화하여 게이트 전극(34)을  
형성한다.

이어, 전면에 결연층(35)을 형성하고 게이트 전극(34)의 양쪽 반도체 기판(21)의 표면내에 저농도 불순물  
영역(36)을 제 1 깊이로 형성하고, 다시 고농도 불순물을 주입하여 제 2 깊이로 고농도 불순물을 영역(37)  
을 형성한다.

여기서, 저 고농도 불순물 영역(36)(37)은 소오스/드레인 영역이고 제 1 깊이는 제 2 깊이보다 그 깊이가

특 2000-0060693

크다.

이와 같은 본 발명에 따른 반도체 소자 및 제조 방법은 게이트 전극(34)을 반도체 기판(21)의 표면내에 매립하여 형성하여 채널 영역 크기를 효율적으로 증가시킬 수 있다.

#### 쓰기의 효과

본 발명에 따른 반도체 소자 및 그의 제조 방법은 다음과 같은 효과가 있다.

게이트 전극이 반도체 기판의 표면내에 타원 형태로 형성되어 소자의 채널 영역이 충분히 확보된다.

이는 소자의 고집적화에 따른 채널 영역의 축소를 막아 속 채널 효과 및 편치 드로우 현상 등의 발생을 억제하여 소자의 특성을 향상시키는 효과가 있다.

또한, 게이트 전극이 매립되어 있어 스텝커버리지 측면에서 유리하여 후속되는 공정을 용이하게 한다.

미분 복도의 평坦화를 형성 공정을 생략할 수 있게 하여 공정을 단순화하고 게이트 전극과 소오스/드레인 영역을 오버랩되게 형성할 수 있어 비트라인 콘택 풍정에서의 콘택 마진을 높여 풍정의 용이성 확보 및 재현성 확보에 유리하다.

#### (5) 청구의 범위

청구항 1. 반도체 기판의 소자 격리 영역에 매립 형성되어 액티브 영역들을 격리하는 소자 격리층;

상기 소자 격리층에 의해 격리되는 액티브 영역의 표면내에 그 단면이 사각 형태로 구성되는 게이트 제 1 트렌치, 게이트 제 1 트렌치에 연속되어 그 단면이 타원 형태로 구성되는 게이트 제 2 트렌치;

상기 게이트 제 1,2 트렌치의 표면에 형성되는 게이트 산화막;

상기 게이트 산화막이 형성된 게이트 제 1,2 트렌치내에 매립 형성되는 게이트 전극;

게이트 산화막에 의해 게이트 전극과 접연되어 게이트 전극의 양측 반도체 기판 표면내에 형성되는 소오스/드레인 영역을 포함하여 구성되는 것을 특징으로 하는 반도체 소자.

청구항 2. 제 1 항에 있어서, 소오스/드레인 영역은 게이트 제 2 트렌치에 형성된 게이트 전극층에 오버랩되는 것을 특징으로 하는 반도체 소자.

청구항 3. 반도체 기판의 소자 격리 영역에 소자 격리층을 형성하여 액티브 영역을 정의하는 공정;

소자 격리층이 형성된 반도체 기판의 전면에 바퍼 산화막, 나이트라이드층을 형성하고 선택적으로 식각하는 공정;

상기 패터닝된 나이트라이드층을 마스크로하여 노출된 반도체 기판을 일정 깊이 식각하여 게이트 제 1 트렌치를 형성하는 공정;

상기 게이트 제 1 트렌치의 측면에 게이트 제 1 트렌치 측벽을 형성하고 노출된 반도체 기판을 식각하여 게이트 제 2 트렌치를 형성하는 공정;

상기 게이트 제 1,2 트렌치의 표면에 게이트 산화막을 형성하고 게이트 제 1,2 트렌치를 완전 매립하도록 게이트 형성 물질층을 증착하고 평탄화하여 게이트 전극을 형성하는 공정;

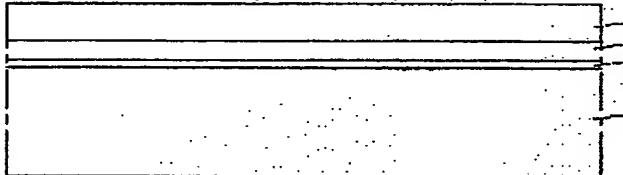
전면에 접연층을 형성하고 게이트 전극의 양측 반도체 기판의 표면내에 저농도 불순물 영역을 제 1 깊이로 형성하고, 다시 고농도 불순물을 주입하여 제 2 깊이로 고농도 불순물 영역을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4. 제 3 항에 있어서, 게이트 제 1 트렌치를 건식 식각 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5. 제 3 항에 있어서, 게이트 제 2 트렌치를 노출된 반도체 기판을 습식 식각 공정으로 식각하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

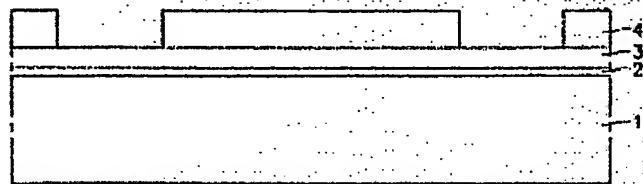
#### 도면

##### 도면 A

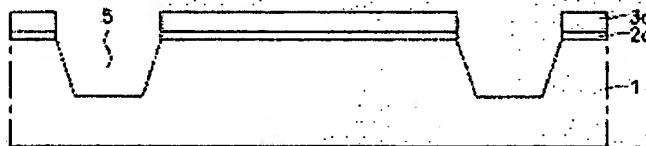


2000-0060693

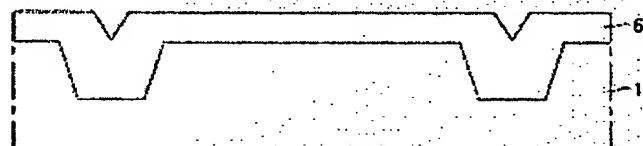
도면 1



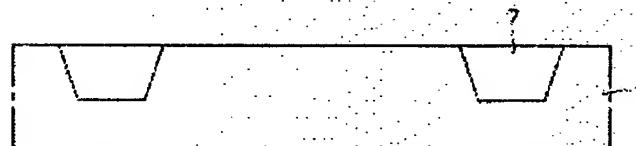
도면 2



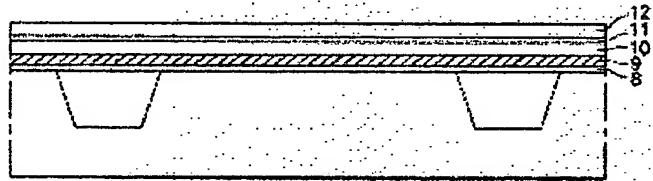
도면 3



도면 4

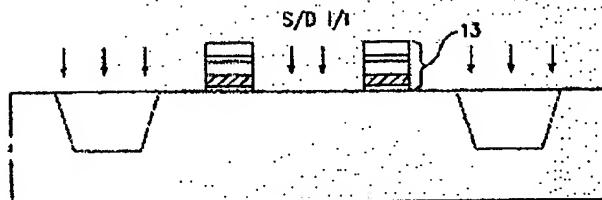


도면 5

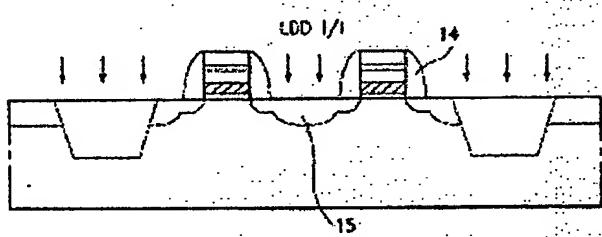


2000-0060693

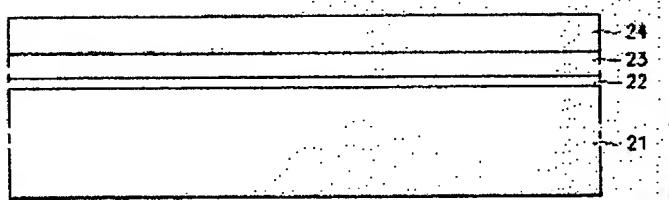
S/D I/I



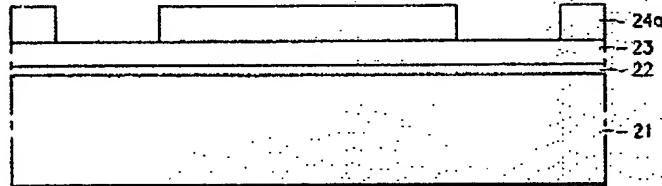
LCD I/I



S/D2

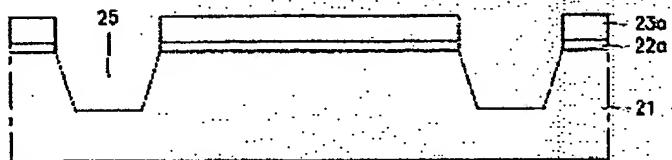


S/D3

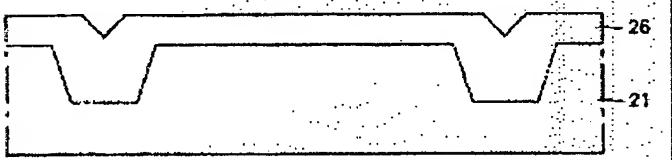


2000-0060693

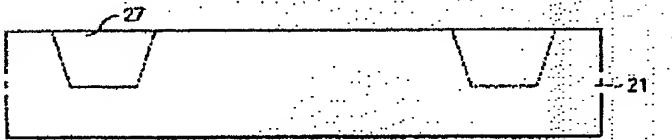
S83



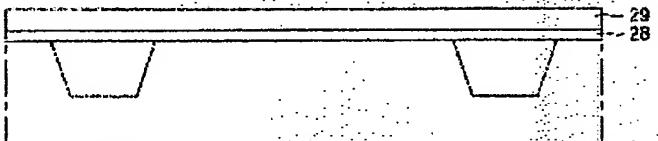
S84



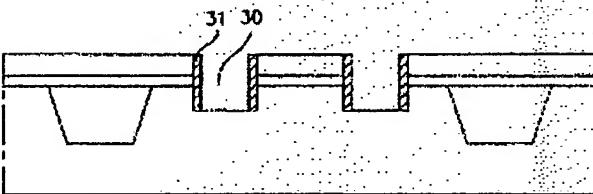
S85



S86

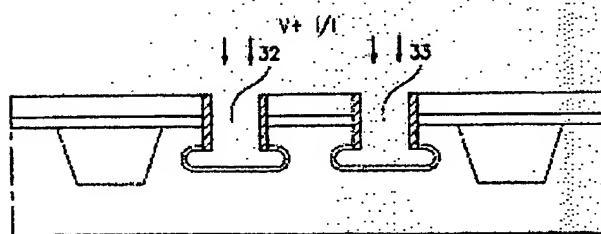


S87

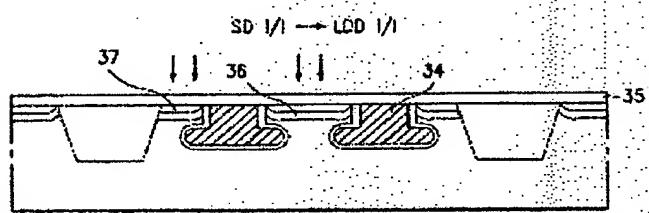


2000-0060693

S-025



S-025



8-8